

[First Hit](#)   [Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)**End of Result Set**☐ [Generate Collection](#) [Print](#)

L2: Entry 1 of 1

File: JPAB

Dec 13, 1982

PUB-NO: JP357203294A

DOCUMENT-IDENTIFIER: JP 57203294 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT

PUBN-DATE: December 13, 1982

## INVENTOR-INFORMATION:

NAME

COUNTRY

TSUYAMA, KAZUYOSHI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP56088998

APPL-DATE: June 10, 1981

US-CL-CURRENT: 365/105

INT-CL (IPC): G11C 17/06; G11C 29/00

## ABSTRACT:

PURPOSE: To easily detect pressure resisting defects between the collector and substrate of a memory cell by connecting diodes to the lines of a memory cell array and applying prescribed constant voltage to the lines.

CONSTITUTION: When a terminal CE is turned to a high level to make it writing status, buffers OB1, OB2 are turned off, output lines O1, O2 are turned to high impedance status, and a transistor (TR) T is turned on through an input A1/2 and a Zener diode DE2, all the lines of decoder Dx on the output side are turned to high level output status. The electric potential of an input A1/1 applying prescribed potential difference to the lines through the input A1/1, Zener diode DE2 and diodes DC1, DC2... connected to the lines by the common connection line to that of the diode DE2 is made pressure resisting voltage between the collector and substrate of a memory cell C formed by the base opening transistors of memory array cells. Thus, the pressure resisting status of all the memory cells before writing is easily detected by connecting accurate resistance to the input A1/1, applying pressure resisting voltage to an opening end and checking whether current flows into the input A1/1 or not.

COPYRIGHT: (C) 1982, JPO&amp;Japio

[Previous Doc](#)[Next Doc](#)[Go to Doc#](#)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-203294

⑪ Int. Cl.<sup>3</sup>  
G 11 C 17/06  
29/00

識別記号

庁内整理番号  
6549-5B  
7922-5B

⑬ 公開 昭和57年(1982)12月13日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体集積回路

東京都港区芝五丁目33番1号日

本電気株式会社内

⑯ 特 願 昭56-88998

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)6月10日

東京都港区芝5丁目33番1号

⑲ 発 明 者 津山和敬

⑳ 代 理 人 弁理士 内原晋

明 細 書

発明の詳細な説明

発明の名称

半導体集積回路

特許請求の範囲

電気的に書き込み可能な複数のベース開放のトランジスタから成る半固定記憶素子のエミッタを1つの桁線、コレクタを1つの行線と結び、複数の該桁、該行線で格子を形成した半導体集積回路において、複数の該行線に対してそれぞれダイオードのカソードを結び、前記ダイオードのアノードを共通とし、前記アノードにツェナダイオードのアノードを結び、前記ツェナダイオードのカソードを桁線選択外部端子に結び、該記憶素子のコレクタと基板間の耐圧欠陥を前記外部端子に定電圧を印加することにより容易に検出できるようにしたことを特徴とする半導体集積回路。

本発明は半導体集積回路に関する。

半導体集積回路(以下ICと略す)において、アレイ構造を基本とするRAM<sup>M</sup>、PROM等は年々、回路プロセス技術等の開発進歩により高集積化、高ビット化の一途にある。電気的に書き込み可能なAIM(Avalanche Induced Migration)方式の半固定記憶素子(以下セルと略す)をアレイ構造で有するPROM、FPLA等においても同様の傾向がある。この種のICでは、アレイ自体と外部の端子との間に各種の論理回路があるため、アレイ内部の様子を詳細に知る事が困難である。そのため、IC製造上の歩留低下の改善の遅延や信頼性上の問題になる事が多々見られる。

第1図に16ワード、2ビット構成の一般的なAIM方式PROMの概略図を示す。第1図で基本回路構成はセルCと、行線かデコードD<sub>x</sub>、桁線、デコードD<sub>RY1</sub>、D<sub>RY2</sub>(読み出し用)D<sub>WY1</sub>、D<sub>WY2</sub>(書き込み用)及びセンス回路S<sub>11</sub>〜S<sub>14</sub>、

8<sub>1</sub>, ..., 8<sub>n</sub> とから成る。外部端子からみると読み出しと書き込みの切替はCE端子により制御される。CE端子が低レベル時、入力Ax<sub>1</sub>, Ax<sub>2</sub>より行線デコーダDxを介し1本の行線が選択、入力Ay<sub>1</sub>, Ay<sub>2</sub>より桁線Dwy<sub>1</sub>, Dwy<sub>2</sub>を介し、各々1本の桁線が選択任意のアドレス上のセルが0<sub>1</sub>及び0<sub>2</sub>を介し、それぞれ0<sub>1</sub>, 0<sub>2</sub>に出力される。CE端子が高レベル時0<sub>1</sub>及び0<sub>2</sub>を高インピーダンス(HiZ)にし、外部より印加する高電圧・高電流をデコーダDwx<sub>1</sub>, Dwx<sub>2</sub>を介し、任意のセルに書き込む。AIM方式のPROM, FPLA等のセルには読み出し時微小電流(数 $\mu$ A)に対し書き込み時の電流(数mA以上)高電圧がかかる。そのため、セル周辺部の高耐圧化が必要で高感度のセンス回路設計、難・解である。そのために外部端子から書き込み以前にアレイ又は周辺部の耐圧性欠陥の様子を細かく知るの困難さも増す。これらの欠陥のうち、コレクター・基板間のリーク電流の検査は外部端子からは特に書き込み以前に検出が難しい。この種の欠陥を含むチップは後工程即

ち書き込み歩留、書き込み後の速度遅延、信頼性上のトラブルの勝因となる事が多い。そうするとユーザーがフィールドで即座に目的論理に沿って、書き込み可能なPROM, FPLA等の最大の利点を損う事になる。

本発明の目的は高集積化、高ビット化の一途にあるPROM, FPLA等において製造上の種々の原因により発生するアレイ上の耐圧性欠陥に対して、アレイ全体を一度に、検出端子も別途設け事なく検出可能な回路を提供する事にある。

本発明による半導体集積回路は電気的に書き込み可能な複数のベース開放のトランジスタから成る半固定記憶素子のエミッタを1つの桁線、コレクタを1つの行線で結び、複数の該桁線、該行線で格子を形成した集積回路に於いて、複数の該行線に対してそれぞれカソードが接続されたダイオードを設け、この各ダイオードのアノードを共通とし、ツェナダイオードのアノードと結合し、このツェナダイオードのカソードを桁線選択外部端子に結び、該記憶素子のコレクタと基板間の耐圧

欠陥を前記外部端子に定電圧を印加することにより容易に検出できるようにしたことを特徴とする。

本発明の実施例を第2図に示す。

ベース・コレクタ・ダイオードDc<sub>1</sub>...Dc<sub>n</sub>のカソードを各々行線に結び、アノード側を全く共通に結び、それをエミッタ・ベースツェナダイオードDx<sub>1</sub>のアノードにカソード側は抵抗R<sub>1</sub>を介し外部出力Ay<sub>1</sub>に出す。また、Dx<sub>1</sub>の出力全行線を高レベル非選択にするためそのDx<sub>1</sub>の各入力に対しトランジスタTのコレクタを結び、エミッタを接地、ベースを抵抗R<sub>2</sub>を介し接地、及びエミッタ・ベースツェナダイオードのアノードにカソード側を抵抗R<sub>3</sub>を介し、外部出力端子Ay<sub>2</sub>に出す回路から成っている。抵抗R<sub>2</sub>は読み出し時の回路動作の安定化のため付加している。本発明の動作を説明をする。説明を簡略化するため、いまベース・コレクタダイオードDc<sub>1</sub>...Dc<sub>n</sub>の順方向電圧をU<sub>D</sub>、トランジスタTのオン時のベース・エミッタ電圧V<sub>BE</sub>、ツェナダイオードDx<sub>1</sub>, Dx<sub>2</sub>のオン電圧をV<sub>Z</sub>、コレクタ・基板に必要な

耐圧V<sub>x</sub>とする。本発明は書き込み状態即ちCE端子に高レベル入力し、パツファ0B<sub>1</sub>, 0B<sub>2</sub>を殺し出力0<sub>1</sub>及び0<sub>2</sub>を高インピーダンス状態にして行なり。まず、入力Ay<sub>2</sub>, Vz+V<sub>x</sub>以上の電圧を印加しトランジスタTをON状態にし、デコーダDxの出力即ち、全行線を高レベル出力状態に保つ。それから入力Ay<sub>1</sub>抵抗R<sub>1</sub>ツェナダイオードDx<sub>1</sub>を介し、4本の全行線に電位差V<sub>Z</sub>+V<sub>D</sub>が与えられる。従って入力Ay<sub>1</sub>から見て入力Ay<sub>1</sub>と基板の間の耐圧、即ち書き込み歩留、書き込み後の特性等に保証に必要とされるアレイ上のコレクタ(全行線)基板間耐圧はV<sub>Z</sub>+V<sub>D</sub>+V<sub>x</sub>(以下V<sub>s</sub>と総称す)で与えられる。全行線上のコレクタ領域と基板に拡散上耐圧性欠陥があれば、V<sub>s</sub>はドロップするし、正常であれば書き込み時の要求耐圧以上の拡散上設定された耐圧値迄でドロップしない。実際の検出には入力Ay<sub>1</sub>の外部に精密抵抗R<sub>4</sub>を接続しR<sub>4</sub>の開放端子側にV<sub>s</sub>を印加し、その印加点からの電位ドロップ(以下 $\Delta$ V<sub>s</sub>と略す)をAy<sub>1</sub>点でモニターすればよい。即ち、全行線の全

セルのコレクタと基板間に耐圧異常があれば $\Delta U$ 、 $I/R$ の電流として検出できる。正常であれば、 $\Delta U$ がゼロで電流ゼロとなる。

従って本発明は検出時の測定条件、環境を問わず、ウェハース状態で容易に微小リーク電流も検出でき、拡散工程へのフィードバックを早め、また書き込み歩留の向上、書き込み後の特性の保証につながる。アレイサイズ大きくなればチップサイズ減少のため同一拡散領域に置かれる同一行線上のセルのコレクタは増大しその欠陥の発生率は高くなる。また本発明はA I M方式のP R O M、P P L A等に限らず、各種のアレイ構造のI Cで応用が可能であり、効果は大である。

#### 図面の簡単な説明

第1図に従来のA I M方式の16ワード、2ビット構成P R O Mの概略図、第2図は本発明の一実施例を示す概略図である。

$Ax_1, Ax_2, Ay_1, Ay_2 \dots$  アドレス入力、 $Dx, Dwy_1, Dwy_2, Dxy_1, Dxy_2 \dots$  デコーダ。

